



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284590
 (43)Date of publication of application : 12.10.2001

(51)Int.Cl. H01L 29/786

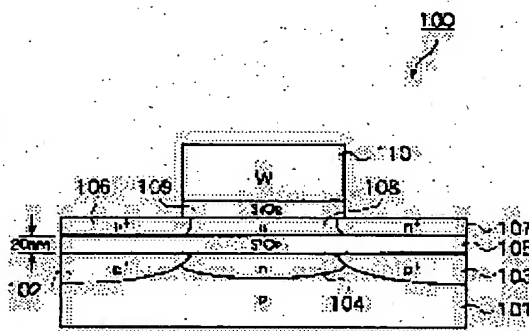
(21)Application number : 2000-099497 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 31.03.2000 (72)Inventor : HIRAOKA TAKAYUKI
 SHIGYO NAOYUKI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a SOIMOSFET having a reduced short channel effect.

SOLUTION: The SOIMOSFET comprises a semiconductor substrate of a first conductivity type, first insulation film (that is, a base oxide film) disposed on the semiconductor substrate, and SOI layer having a pair of source and drain of a second conductivity type which is disposed on the insulation film with a channel of a specified distance formed between the source and the drain. On the channel, a second insulation film (that is, a gate oxide film) and a gate electrode are formed. In the surface of the semiconductor substrate of a first conductivity type, there are an impurity region of a second conductivity type disposed below the channel and a high concentration impurity region of a first conductivity type which is disposed below the source and the drain and has a higher impurity concentration than that of the semiconductor substrate. Junctions between the high concentration impurity region of a first conductivity type and the impurity region of a second conductivity type are disposed just below the edges of the gate electrode or a little inside or outside of the edges.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284590

(P2001-284590A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int. Cl.

H01L 29/786

識別記号

F I

H01L 29/78

テーマコード (参考)

626C 5F110

審査請求 未請求 請求項の数11 OL (全 10 頁)

(21) 出願番号 特願2000-99497(P2000-99497)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 平岡 孝之

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 執行 直之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

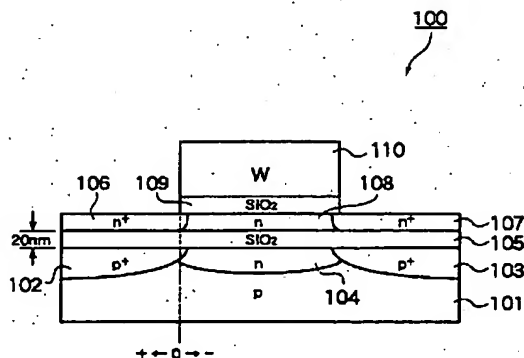
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 短チャネル効果を低減したSOIMOSFETを提供する。

【解決手段】 SOIMOSFETは、第1導電型の半導体基板と、この半導体基板上に位置する第1絶縁膜（すなわち下地酸化膜）と、第1絶縁膜上に位置し、所定距離のチャネルを挟んで一対の第2導電型のソースおよびドレインを有するSOI層を含む。チャネル上には、第2絶縁膜（すなわちゲート酸化膜）と、ゲート電極を有する。第1導電型の半導体基板表面では、前記チャネルの下方に位置する第2導電型の不純物領域と、前記ソースおよびドレインの下方に位置し、前記半導体基板よりも不純物濃度の高い第1導電型の高密度不純物領域とを有する。半導体基板表面における、第1導電型の高密度不純物領域と、第2導電が他の不純物領域との接合部は、ゲート電極のエッジ直下に位置するか、あるいはそれよりわずかに内側または外側に位置する。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、
前記半導体基板上に位置する第1絶縁膜と、
前記第1絶縁膜上に位置し、所定距離のチャネルを挟んで一対の第2導電型のソースおよびドレインを有する半導体層と、
前記半導体基板表面で、前記チャネルの下方に位置する第2導電型の不純物領域と、
前記半導体基板表面で、前記ソースおよびドレインの下方に位置し、前記半導体基板よりも不純物濃度の高い第1導電型の高密度不純物領域と、
前記チャネル上に位置する第2絶縁膜と、
前記第2絶縁膜上に位置するゲート電極とを備えたことを特徴とする半導体装置。

【請求項2】 前記第1絶縁膜の厚さは10nm以上、20nm以下であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1絶縁膜上の半導体層の厚さは20nm以上、30nm以下であることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記ソースおよびドレイン下方の半導体基板表面に位置する第1導電型の高密度不純物領域の不純物濃度は、前記半導体基板の不純物濃度の 10^3 倍以上、 10^4 倍以下であり、前記チャネル下方の半導体基板表面に位置する第2導電型の不純物領域の不純物濃度は、前記半導体基板の不純物濃度の10倍以上、 10^2 倍以下であることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記ソースおよびドレイン下方の半導体基板表面に位置する第1導電型の高密度不純物領域と、前記チャネル下方の半導体基板表面に位置する第2導電型の不純物領域との接合部は、前記ゲート電極のエッジ直下に位置することを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記ソースおよびドレイン下方の半導体基板表面に位置する第1導電型の高密度不純物領域と、前記チャネル下方の半導体基板表面に位置する第2導電型の不純物領域との接合部は、前記ゲート電極のエッジ直下よりも、ゲートの内側に位置することを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記ソースおよびドレイン下方の半導体基板表面に位置する第1導電型の高密度不純物領域と、前記チャネル下方の半導体基板表面に位置する第2導電型の不純物領域との接合部は、前記ゲート電極のエッジ直下よりも、ゲートの外側に位置することを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記チャネルは、第2導電型であることを特徴とする請求項1に記載の半導体装置。

【請求項9】 前記チャネルは、第1導電型であることを特徴とする請求項1に記載の半導体装置。

【請求項10】 第1導電型の半導体基板上に第1絶縁膜を形成するステップと、

前記第1絶縁膜上に第1または第2導電型の半導体層を形成するステップと、

前記半導体層表面から、射影飛程が前記第1絶縁膜の下部の半導体基板表面に達するように、第2導電型のイオンをイオン注入して、前記半導体層と、前記半導体基板表面を第2導電型にするステップと、

前記半導体層上に第2絶縁膜とゲート電極を形成するステップと、

前記ゲート電極をマスクとして、射影飛程が前記半導体基板表面に達するように第1導電型のイオンをイオン注入し、前記第2導電型にした半導体層と半導体基板の双方において、前記ゲート電極の両側に相当する位置に第1導電型の高密度領域を形成するステップと、

前記ゲート電極をマスクとして、射影飛程が前記半導体層底面に達するように、第2導電型のイオンをイオン注入して、前記半導体層の第1導電型の高密度領域を第2導電型の高密度領域にするステップとを含むことを特徴とする半導体装置の製造方法。

【請求項11】 前記ゲート電極形成ステップのあとに、前記ゲート電極の両側に側壁を設けるステップをさらに含み、

前記射影飛程を半導体基板表面とした第1導電型イオン注入ステップは、前記側壁を介して行われることを特徴とする請求項10に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS型半導体に関し、特にSOI (Silicon-On-Insulator) MOSFETとその製造方法に関する。

【0002】

【従来の技術】半導体プロセス技術の発展に伴い、MOSFETのゲート長の微細化が進んでいる。半導体プロセスにおいては、最小設計寸法のチャネル長の製造マージンを表わす尺度のひとつとして、短チャネル効果の大小がしばしば用いられる。短チャネル効果とは、チャネル長の減少によってソースドレイン間の距離が狭まり、ソースドレインがチャネル部分の電界、電位分布に及ぼす影響が増大することによって引き起こされるデバイス特性の変動を言う。一般に、チャネル長が狭まるにつれ、急激に大きい値電圧が浅くなる現象に代表される。

【0003】極端に短いチャネル長では、ソースドレインに広がる空乏層がソースドレイン間で分離できなくなり、ゲート電圧によるスイッチング特性が阻害されてしまう。そこで、MOSFETの微細化に対応して、短チャネル効果を十分に押さえたデバイス設計が必要となる。

【0004】絶縁膜上に素子を形成したSOI (Silici

on-On-Insulator) トランジスタは、バルクに形成した MOSFET に比べ、短チャネル効果が小さいことが知られている。図7(a)は、このような SOIMOSFET の一例である。

【0005】図7(a)に示す SOIMOSFET は、第1導電型(たとえばp型)の半導体基板701を覆う SiO₂ 絶縁膜705上に、第2導電型(たとえばn型)のソース706、ドレイン707、チャネル708が形成された SOI 層を有する。SOI 層は、絶縁膜705の存在により電氣的に浮遊状態にあることから、チャネル808に少数キャリアが蓄積しやすい。このため、サブスレッショルド電流が急峻であり、スイッチング特性に優れ、短チャネル効果を比較的抑制することができる。

【0006】

【発明が解決しようとする課題】しかし、このような短チャネル効果防止能力は程度の問題にすぎず、SOIMOSFET においても、短チャネル効果はデバイスの微細化を行う上で必ず問題となる。そこで、SOIMOSFET に関する短チャネル効果を改善するために、特開平08-153880号公報では、下地酸化膜を薄膜化して、基板領域の不純物分布により SOI チャネル部の電位分布に影響を与えるとともに、SOI 層のソース、ドレイン位置に対応する基板領域にイオン注入を行い、チャネル部の電位分布を最適化する手法を提案している。図7(b)は、このような改善された SOIMOSFET の構成を示す。

【0007】図7(b)の SOIMOSFET は、下地酸化膜805の膜厚を、図7(a)に示す従来型のものより薄く設定し、SOI 層のn型ソース806およびドレイン807の真下に、p型の高密度不純物領域802、803を設けている。基板に高密度不純物領域を設けたことにより、SOI 層のチャネル808の電位分布を制御し、最適化している。

【0008】しかし、図7(b)に示す SOIMOSFET は、短チャネル特性が改善されたとはいえ、SOI 層のチャネル808直下の基板領域の不純物プロファイルについては何の規定もなく、さらに改善の余地が見られる。

【0009】また、SOI 層のチャネル真下の基板中に、基板とは逆の導電型の不純物領域のみを形成した構成も知られているが、この構成は反転防止を目的とするものであり、SOI 層のソースおよびドレイン真下の基板中の不純物プロファイルについては、触れられていない。

【0010】そこで、本発明は、短チャネル特性をさらに改善し、デバイスを微細化してもしきい値電圧の低下を効果的に防止することのできる SOIMOSFET と、その製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の SOIMOSFET は、基板と SOI 層との間の絶縁膜(下地酸化膜)を薄膜化し、かつ、SOI 層のチャネル真下に位置する基板中に、ソース、ドレイン真下の基板中に形成した高密度不純物領域とは異なる導電型の領域を有する。この構成によって、逆ショートチャネル効果を故意に顕在化させて、短チャネル効果を効果的に抑制することができる。逆ショートチャネル効果とは、チャネル長の減少によってしきい値電圧が急降下する直前に、一瞬しきい値電圧が跳ね上がる現象を言う。たとえば、SOI 層のソース、ドレインに対応する基板中の高密度不純物領域の導電型をp型とすると、SOI 層のチャネル真下の基板中に、n型の不純物領域を形成する。すると、基板中のpn接合部の電位差が SOI 領域に影響し、逆ショートチャネルを顕在化することができる。本発明の SOIMOSFET では、SOI 層と基板との間の絶縁膜(下地酸化膜)を薄膜化することと、基板中にpn接合を有することが重要である。

【0012】具体的には、本発明の SOIMOSFET は、第1導電型の半導体基板と、この半導体基板上に位置する第1絶縁膜と、第1絶縁膜上に位置し、所定距離のチャネルを挟んだ一対の第2導電型のソースおよびドレインを含む半導体層と、半導体基板表面で、前記チャネルに対応する位置に形成された第2導電型の不純物領域と、前記半導体基板表面で、ソースおよびドレインに対応する位置に形成された、半導体基板よりも不純物濃度の高い第1導電型の高密度不純物領域と、チャネル上に位置する第2絶縁膜と、第2絶縁膜上に位置するゲート電極とを備える。

【0013】第1絶縁膜の厚さは、10nm以上、20nm以下である。第1絶縁膜の厚さを20nm以下とすることで、第1絶縁膜の下半導体基板表面に形成されたpn接合部の電位差が、第1絶縁膜上の半導体層チャネル領域に影響を与えることができる。これにより、チャネル領域の逆ショートチャネル効果を顕在化させ、きわめて微細なチャネル長であっても、しきい値電圧の落ち込みを防止することができる。一方、第1絶縁膜を極端に薄くした場合は、この領域を介した不純物の通り抜け(イオン注入以外の通常状態での通り抜け)を考慮に入れなければならない等、プロセス的制約に起因する制限があるので、第1絶縁膜の膜厚は10nm以上であることが好ましい。

【0014】第1絶縁膜上に位置する半導体層の厚さは、デバイスの作り易さと、取り扱い易さを考慮して、20nm以上、30nm以下であるのが好ましい。

【0015】ソースおよびドレイン下方の半導体基板表面の第1導電型の高密度不純物領域の不純物濃度は、この半導体基板の不純物濃度の10³倍以上、10⁴倍以下であるのが好ましい。一方、チャネル下方の半導体基板表面に位置する第2導電型の不純物領域の不純物濃

度は、前記半導体基板の不純物濃度の10倍以上、 10^8 倍以下であるのが好ましい。

【0016】本発明の半導体装置の製造方法は、まず、第1導電型の半導体基板上に第1絶縁膜(下地)を形成する。この第1絶縁膜上に、第1または第2導電型の半導体層(SOI層)を形成する。SOI層表面から、射影飛程が前記第1絶縁膜下部の半導体基板表面に達するように、第2導電型のイオンをイオン注入して、SOI層と、半導体基板表面を第2導電型にする。SOI層上に第2絶縁膜(ゲート酸化膜)とゲート電極を形成する。ゲート電極をマスクとして、射影飛程が前記半導体基板表面に達するように第1導電型のイオンをイオン注入し、第2導電型にしたSOI層と半導体基板の双方において、ゲート電極の両側に相当する位置に第1導電型の高密度領域を形成する。最後に、ゲート電極をマスクとして、射影飛程がSOI層底面に達するように、第2導電型のイオンをイオン注入して、SOI層の第1導電型の高密度領域を第2導電型の高密度領域にする。

【0017】このような製造方法によって、第1絶縁膜の下部の半導体基板表面に高密度のpn接合を有するSOIMOSFETを製造することができる。

【0018】本発明のその他の特徴、効果は、以下に述べる実施の形態によって、より明確になるものである。

【0019】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。

【0020】<第1実施形態>図1は、本発明の第1実施形態にかかるSOIMOSFET100を示す。SOIMOSFET100は、p型半導体基板101と、p型半導体基板上に位置する第1のSiO₂絶縁膜(すなわち下地酸化膜)105と、第1のSiO₂絶縁膜105上に位置する半導体層(以下、「SOI層」とする)と、SOI層上に位置する第2のSiO₂絶縁膜109と、第2SiO₂絶縁膜109上のタングステンゲート電極110とを有する。SOI層は、ゲート電極110下方に位置する所定長のチャンネル108と、チャンネル108を挟む一対のn⁺型のソース106およびドレイン107を含む。

【0021】p型半導体基板101は、その表面近傍に、チャンネル108の下方に位置するn型不純物領域104と、ソースとドレインの下方に位置するp⁺型不純物領域102、103を有する。このn型不純物領域104と、これを挟むp⁺型不純物領域102、103は、半導体基板101表面において、ゲート110の端部直下でpn接合を形成する。p⁺型不純物領域102、103の不純物濃度は、 10^{18} cm⁻³程度であり、n型不純物領域104の不純物濃度は 10^{17} cm⁻³程度である。また、p型半導体基板101の不純物濃度は、 10^{18} cm⁻³程度である。

【0022】第1絶縁膜105の厚さは、10 nm~2

0 nmの範囲である。本実施形態では、膜厚を20 nmに設定し、ソース・ドレインを含むSOI層の厚さを30 nmに設定した。SOI層に形成されたn型チャンネル108の不純物濃度は 3×10^{18} cm⁻³程度である。第1絶縁膜105の厚さを20 nm程度としたことによって、半導体基板101側の不純物プロファイルによってMOSトランジスタのしきい値電圧を制御することが可能になる。特に、チャンネル108直下に、ソース・ドレイン直下のp⁺型不純物領域102、103とは逆の導電型の領域を用いることによって、逆ショートチャネル効果を顕在化させ、デバイスの微細化に伴うしきい値電圧の急低下を抑えることができる。本発明のSOIMOSFETによる逆ショートチャネル効果の顕在化については、図5を参照して後述する。

【0023】図2は、図1に示すSOIMOSFET100の製造工程を示す図である。

【0024】(i) まず、図2(a)に示すように、不純物濃度が 10^{18} cm⁻³程度のp型半導体基板201上に、シリコン酸化膜からなる厚さ20 nmの第1絶縁膜205を形成し、さらにその上に、不純物濃度が 10^{18} cm⁻³以下のp型SOI層208を厚さ30 nmに堆積する。SOI層208上に、犠牲酸化膜211を厚さ6 nm程度に形成する。この構造において、n型イオン、たとえばヒ素(As)を、射影飛程が第1絶縁膜205下部のp型半導体基板201表面に達するようにイオン注入する。第1実施形態では、Asをエネルギー150 keV、ドーズ量 2×10^{12} cm⁻²でイオン注入した。

【0025】(ii)このようなイオン注入により、図2(b)に示すように、不純物濃度が 10^{17} cm⁻³程度のn型領域204が、p型半導体基板201表面に形成される。n型領域204の活性化は、後のゲート酸化工程で行ってもよいし、別途アニール工程を設けてもよい。このAs注入により、SOI層208は、ピーク密度 3×10^{18} cm⁻³程度のn型領域となる。As注入後、犠牲酸化膜211を剥離する。

【0026】(iii)次に、図2(c)に示すように、熱酸化によりSiO₂ゲート酸化膜209を厚さ6 nm程度に形成し、その上にCVD法などにより厚さ400 nm程度のタングステン膜を堆積する。その後、RIE(反応性イオンエッチング)によりゲート電極のパタニングを行い、図2(c)に示す形状を得る。この状態で、ゲート電極をマスクとして、p型イオンを注入する。具体的には、第1実施形態では、ボロン(B)をエネルギー60 keV、ドーズ量 2×10^{12} cm⁻²で注入した。

【0027】(iv)ボロン注入の結果、図4(d)に示すように、p型半導体基板201表面に高密度のp⁺型不純物領域202、203と、SOI層208に、同じく高密度のp⁺型不純物領域206、207が形成され

る。この状態で、n型イオンを射影飛程をSOI層底面に届く程度に、浅く注入する。第1実施形態では、ヒ素(As)をエネルギー20 keV、ドーズ量 1×10^{14} cm⁻²で注入した。

【0028】(v) As注入の結果、図4(e)に示すように、SOI層のp⁺型不純物領域206、207が、高密度のn⁺型領域となり、n型のチャンネル208を挟んで、ソース26およびドレイン207が形成される。

【0029】この後、配線工程(不図示)を経て、SOI MOSFETを完成する。このような製造方法により、n型ソース・ドレインとは逆の導電型のp型半導体基板201表面に、高密度のチャンネルp⁺型不純物領域202、203を形成し、かつチャンネル下方にn型領域204を形成することができる。

【0030】<第2実施形態>図3は、本発明の第2実施形態にかかるSOI MOSFET 300を示す。SOI MOSFET 300は、構造的には図1に示す第1実施形態にかかるSOI MOSFETと類似する。相違点は、図1のSOI MOSFET 100においては、p型半導体基板101表面におけるpn接合が、ゲート110端部の直下に位置するのに比べ、図3に示すSOI MOSFET 300では、p型半導体基板301表面のpn接合が、ゲート310端部直下位置より、約20 nmゲートの内側に入り込んでいる点にある。ゲート直下位置を0とすると、ゲートの外側をプラス(+)位置、ゲートの内側をマイナス(-)位置とする。したがって、図3の例では、pn接合の位置は-20 nmとなる。第1絶縁膜305の下部でのpn接合位置を、ゲート端部より内側に入り込ませるためには、熱拡散を利用する。したがって、-20 nm程度がほぼリミットである。

【0031】pn接合位置を変えたことにより、ロールオフ特性を改善することができる。したがって、チャンネル幅をかなり短くしていても、しきい電圧を比較的一定に維持することができるという効果が現われる。これについても、図5を参照して後述するものとする。

【0032】なお、図3のSOI MOSFET 300において、p型半導体基板301表面の、チャンネル直下のn型不純物領域の不純物濃度を、 4×10^{17} cm⁻³程度とした。

【0033】<第3実施形態>図4は、本発明の第3実施形態にかかるSOI MOSFET 400の製造工程を示す図である。SOI MOSFET 400は、第1実施形態のものに比べ、半導体基板表面のpn接合の位置が、ゲート410の端部よりも、外側に位置する。SOI MOSFET 400の製造工程は、第1実施形態のSOI MOSFET 100の製造工程に類似するが、pn接合位置を外側に設定するためにゲートの両側に側壁を設ける工程が加わる。

【0034】図4(a)と4(b)に示す工程は、第1

実施形態にかかる図2(a)と2(b)に示す工程と、同一である。ただし、半導体基板表面におけるチャンネル直下のn型不純物領域404の不純物濃度が 8×10^{16} cm⁻³程度になるように、Asイオンを注入する。

【0035】図4(c)に示す肯定において、図2(c)の説明と同様の方法でゲート電極410をパタニングした後、ゲート電極410の両側に側壁412を形成する。側壁412は、たとえばSiN(シリコンナイトライド)をCVDで堆積し、RIEでエッチングすることによって形成することができる。この側壁412を介して、ボロン(B)をエネルギー60 keV、ドーズ量 2×10^{12} cm⁻²で注入する。側壁412もマスクとして機能するので、p型半導体基板401表面に形成される高密度p⁺型不純物領域402、403とn型不純物領域404との接合位置は、熱拡散を考慮したとしても、ゲート410端部の直下位置より外側に位置することになる。第3実施形態では、pn接合位置は、ゲート直下を0とした場合に、+20 nmである。

【0036】この後、図4(d)に示すように、側壁412を除去し、第1実施形態で述べたのと同様の方法でAsをイオン注入して、SOI層にn⁺型のソース406およびドレイン407を形成する。

【0037】第3実施形態にかかるSOI MOSFET 400では、第1絶縁膜405下部のpn接合の位置を、第2実施形態とは反対の側、すなわちゲート直下位置より外側にシフトさせた。このようなpn接合位置と、p型半導体基板内の不純物分布により、厚さ20 nmの第1絶縁膜405を介してSOI層のチャンネル408の短チャンネル特性を制御することができる。特に、第3実施形態におけるpn接合位置では、チャンネル長を0.1 μmまで狭めても、しきい電圧の落ち込みがほとんど見られない状態にまで短チャンネル特性が改善される。

【0038】図5は、本発明の第1~第3実施形態にかかるSOI MOSFETと、従来のSOI MOSFETとの、チャンネル長に対するしきい電圧の変化をデバイスシミュレーションにより求めたグラフである。図中、破線Aおよび実線Bは、それぞれ図7(a)、7(b)に示した従来のSOI MOSFETの特性を示す。一方、ラインC、D、Eは、それぞれ本発明の第1、第2、第3実施形態のSOI MOSFETに対応する。

【0039】グラフから明らかなように、従来のSOI MOSFETは、チャンネル長が0.18 μmあたりから、しきい電圧が急激に落ち込み、短チャンネル効果が大い。これは、0.18 μmの設計ルールで、スイッチングが正確に行われなくなることを意味する。これに比べ、点線Cで示す第1実施形態のSOI MOSFETの特性は、0.2 μmあたりから逆ショートチャンネル効果が顕著に現われ、チャンネル長が0.12 μmくらいまで、しきい電圧の落ち込みを防止することができる。

*す図である。

【図４】本発明の第３実施形態に係るSOIMOSFETの製造工程を示す図である。

【図6】図5のグラフに示した本発明の第1～第3実施
10 形態にかかるSOIMOSFETと従来のSOIMOS
FETとの構成条件を示す表である。

【0041】図6は、図5のグラフに示す5種類のデバイスA～Eの構成条件をまとめた表である。上述したように、A、Bは図7（a）および7（b）に示す従来の構成のものであり、C、D、Eは、それぞれ本発明の第1～第3実施形態に対応する。

【符号の説明】

100, 300, 400 SOIMOSFET

101、201、301、401 p型半導體基板

102、202、302、402 ソース直下のp型高
密度不純物領域

103、203、303、403 ドレイン直下のp型
高密度不純物領域

104、204、304、404 チャネル直下のn型不純物領域

105、205、305、405 第1絶緣膜(下地酸化膜)

106、206、306、406 n型ソース領域

107、207、307、407 n型ドレイン領域

108, 208, 308, 408 n型チャネル領域

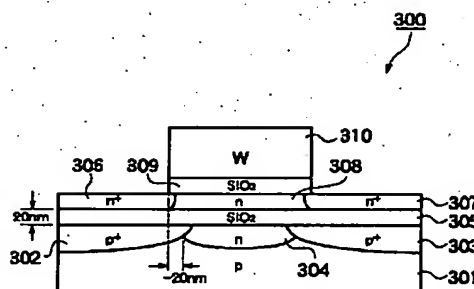
109、209、309、409 第2絶縁膜（ゲート
絶縁膜）

110、210、310、410 ゲート電極

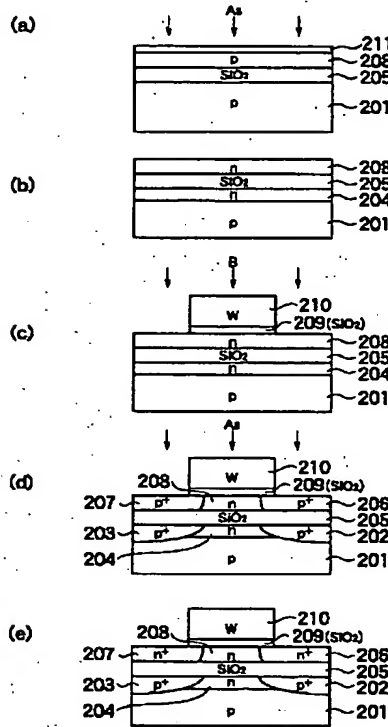
211、411 犧牲酸化膜

412 ゲート側壁

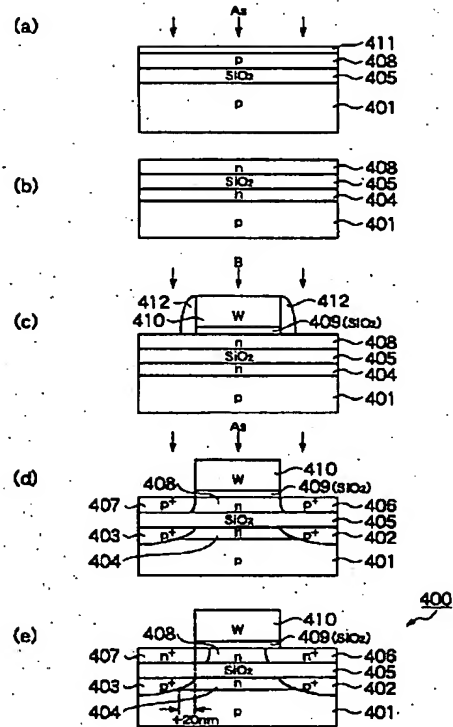
【圖3】



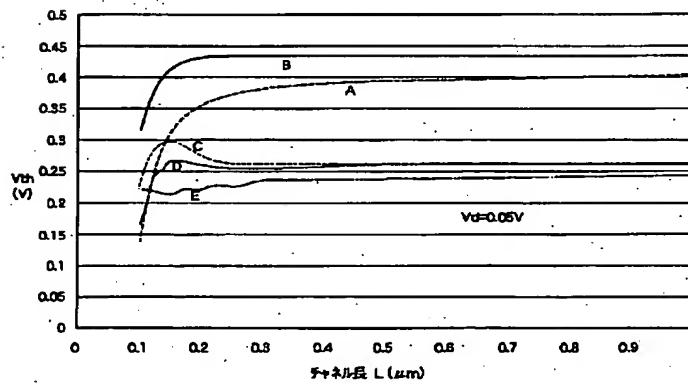
【図2】



【図4】



【図5】



【図6】

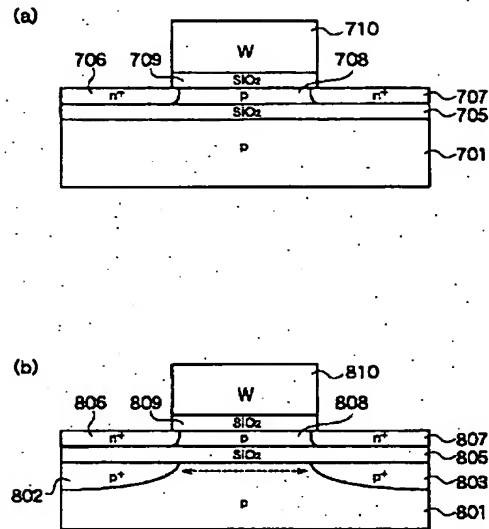
構成条件

第 図中 の記号	構造	構造図	下地酸化膜 の厚さ	SOI領域 の厚さ	チャネル領域(08)の 不純物濃度	ソース・ドレイン領域 (06,07)の不純物濃度
(a) A	従来型の SOIMOSFET(1)	図7(a)	50nm	30nm	P型 $5 \times 10^{15} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
B	従来型の SOIMOSFET(2)	図7(b)	20nm	30nm	P型 $5 \times 10^{15} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
C	本発明(1)	図1	20nm	30nm	n型 $3 \times 10^{16} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
D	本発明(2)	図3	20nm	30nm	n型 $3 \times 10^{16} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
E	本発明(3)	図4	20nm	30nm	n型 $3 \times 10^{16} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$

第6図中 の記号	構造	チャネル領域直下の 純物領域(04)の不純物濃度	ソース・ドレイン領域直下の 不純物領域(02,03)の不純物濃度	領域04と領域02及び 03のpn接合位置 (※)
(b) A	従来型の SOIMOSFET(1)	P型 $1 \times 10^{16} \text{cm}^{-3}$	p型 $1 \times 10^{16} \text{cm}^{-3}$	-
B	従来型の SOIMOSFET(2)	P型 $1 \times 10^{16} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	-
C	本発明(1)	n型 $1 \times 10^{17} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	0
D	本発明(2)	n型 $4 \times 10^{17} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	-20nm
E	本発明(3)	n型 $8 \times 10^{16} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	20nm

(※)ゲート端直下の位置を0とし、ゲート内側に領域04と領域02及び03のpn接合がある場合を負とする。

【図7】



【手続補正書】

【提出日】平成12年4月3日(2000.4.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】図7(a)に示すSOIMOSFETは、第1導電型(たとえばp型)の半導体基板701を覆うSiO₂絶縁膜705上に、第2導電型(たとえばn型)のソース706、ドレイン707、チャネル708が形成されたSOI層を有する。SOI層は、絶縁膜7

05の存在により電氣的に浮遊状態にあることから、チャネル708に少数キャリアが蓄積しやすい。このため、サブスレッショルド電流が急峻であり、スイッチング特性に優れ、短チャネル効果を比較的抑制することができる。

【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】

積成条件

第5図中の 記号	構造	構造図	下地酸化膜 の厚さ	SO領域 の厚さ	チャネル領域(08)の 不純物濃度	ソース・ドレイン領域 (06,07)の不純物濃度
A	従来型の SOIMOSFET(1)	図7(a)	50nm	30nm	P型 $5 \times 10^{15} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
B	従来型の SOIMOSFET(2)	図7(b)	20nm	30nm	P型 $5 \times 10^{15} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
C	本発明(1)	図1	20nm	30nm	n型 $3 \times 10^{16} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
D	本発明(2)	図3	20nm	30nm	n型 $3 \times 10^{16} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$
E	本発明(3)	図4	20nm	30nm	n型 $3 \times 10^{16} \text{cm}^{-3}$	n型 $1 \times 10^{19} \text{cm}^{-3}$

(a)

第5図中の 記号	構造	チャネル領域直下の 純物領域(04)の不純物濃度	ソース・ドレイン領域直下の 不純物領域(02,03)の不純物濃度	領域04と領域02及び 03のpn接合位置 (※)
A	従来型の SOIMOSFET(1)	P型 $1 \times 10^{16} \text{cm}^{-3}$	p型 $1 \times 10^{16} \text{cm}^{-3}$	-
B	従来型の SOIMOSFET(2)	P型 $1 \times 10^{16} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	-
C	本発明(1)	n型 $1 \times 10^{17} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	0
D	本発明(2)	n型 $4 \times 10^{17} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	-20nm
E	本発明(3)	n型 $8 \times 10^{16} \text{cm}^{-3}$	p型 $1 \times 10^{18} \text{cm}^{-3}$	20nm

(b)

(※)ゲート端直下の位置をとし、ゲート内側に領域04と領域02及び03のpn接合がある場合とする。

フロントページの続き

F ターム(参考) 5F110 AA08 AA30 CC02 DD05 DD13
 EE04 EE32 EE45 FF02 FF23
 GG02 GG12 GG25 GG28 GG32
 GG34 GG52 GG58 HJ01 HJ04
 HJ12 QQ11